

**Semiconductor storage method for supporting several interfaces and device**

**Patent number:** CN1367438  
**Publication date:** 2002-09-04  
**Inventor:** DENG GUOSHUN (CN); CHENG XIAOHUA (CN);  
XIANG FENG (CN)  
**Applicant:** LANGKE SCIENCE & TECHNOLOGY CO (CN)  
**Classification:**  
- **International:** G06F13/00  
- **European:**  
**Application number:** CN20020114882 20020209  
**Priority number(s):** CN20020114882 20020209

**Report a data error here**

**Abstract of CN1367438**

The present invention relates to a semiconductor storage method for supporting several interfaces and its equipment used in data processing system. Said method includes the following steps: 1. setting semiconductor storage device, in which the semiconductor storage medium module, controller module and interface module for supporting at least two serial, parallel or radio communication interfaces with different standards; 2. utilizing the described interface with different standard to connect with at least one data processing system with correspondent standard interface; 3. creating information exchange channel based on serial, parallel or radio communication interface between the described storage device and data processing system; and 4. the described storage device can utilize exchange channel to exchange data with the described data processing system.

---

Data supplied from the **esp@cenet** database - Worldwide

**BEST AVAILABLE COPY**

## [12] 发明专利申请公开说明书

[21] 申请号 02114882.1

[43] 公开日 2002 年 9 月 4 日

[11] 公开号 CN 1367438A

[22] 申请日 2002.2.9 [21] 申请号 02114882.1  
[71] 申请人 深圳市朗科科技有限公司  
地址 518031 广东省深圳市福田区深南中路 2070  
号电子科技大厦 C 座 24A  
[72] 发明人 邓国顺 成晓华 向 锋

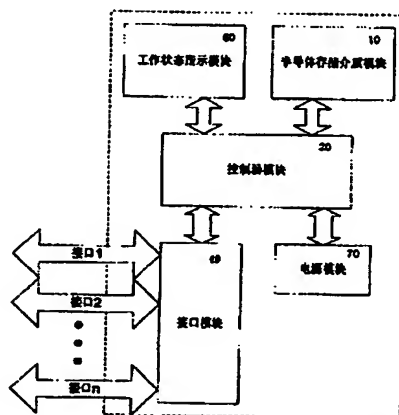
[74] 专利代理机构 深圳睿智专利事务所  
代理人 陈鸿荫

权利要求书 4 页 说明书 14 页 附图页数 9 页

[54] 发明名称 支持多种接口的半导体存储方法及装置

[57] 摘要

一种支持多种接口的半导体存储方法及装置,用于数据处理系统。该方法 包括的步骤是:1. 设置半导体存储装置,在其中装用半导体存储介质模块,以及控制器模块和支持至少两个不同标准的串行、并行或无线通信接口的接口模块;2. 通过所述不同标准的接口,连接至少一个具有相应标准接口的数据处理系统;3. 建立所述存储装置与所述数据处理系统之间基于串行、并行或无线通信接口的信息交换通道;4. 所述存储装置通过所述交换通道与所述数据处理系统交换数据。所述方法为具有不同接口的数据处理系统提供了方便实用的移动存储装置,并使各种数据处理系统之间可以简单便捷的交换数据文件,减少了 配置费用。



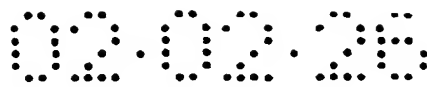
ISSN 1008-4274



## 权利要求书

---

1. 一种支持多种接口的半导体存储方法，其特征在于：包括如下步骤：
  - A. 设置半导体存储装置，在其内装用可存储数据的半导体存储介质模块（10），以及控制所述半导体存储装置的控制器模块（20）和支持至少两个不同标准的串行、并行或无线通信接口的接口模块（40）；在物理上，所述各模块可以单独存在，也可以合并为一个或两个模块；
  - B. 通过所述不同标准的接口，连接至少一个具有相应标准接口的数据处理系统；
  - C. 建立所述半导体存储装置与所述数据处理系统之间基于串行、并行或无线通信接口的信息交换通道；
  - D. 所述半导体存储装置借助所述信息交换通道与所述数据处理系统交换数据，并把所述数据处理系统需要存储的数据存储在所述半导体存储介质模块（10）内；所述数据处理系统可以从所述半导体存储装置内读取所需数据。
2. 按照权利要求 1 所述的方法，其特征在于：所述半导体存储装置的控制器模块（20）在物理上既可以是单独的一个模块，也可以包括两个或两个以上的子控制模块，所述各子控制模块并且分别控制着接口模块（40）的各接口运作，互相协调而不冲突。
3. 按照权利要求 1 所述的方法，其特征在于：所述不同标准接口在物理上位于所述半导体存储装置的不同部位。
4. 按照权利要求 1 所述的方法，其特征在于：所述串行或并行或无线通信接口是 CF (Compact Flash)、USB（通用串行总线）、IEEE 1394、PCMCIA、True IDE、蓝牙（Bluetooth）或无线局域网（Wireless LAN）接口。



5. 按照权利要求 1 所述的方法，其特征在于：所述半导体存储介质模块，使用的半导体存储介质是快闪存储器（Flash Memory）、DRAM、EEPROM、SRAM、SDRAM、FRAM 或者 MRAM。

6. 按照权利要求 1 所述的方法，其特征在于：所述半导体存储装置的工作电源经由所述串行或并行接口接入，但在使用无线通信接口的情况下，所述半导体存储装置是自带工作电源或由外部引入工作电源。

7. 按照权利要求 1 所述的方法，其特征在于：设计有指示所述半导体存储装置工作状态的功能，借助工作状态指示模块（60）上的指示器件来实现。

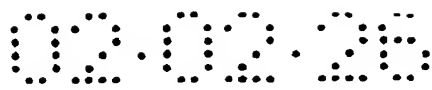
8. 按照权利要求 7 所述的方法，其特征在于：所述指示器件是 LED、LCD、震动器件或发声器件。

9. 按照权利要求 1 所述的方法，其特征在于：还设计有写保护功能，用于防止数据写入所述存储介质模块（10）中。

10. 按照权利要求 1 所述的方法，其特征在于：在所述半导体存储装置与所述数据处理系统断开连接后，所存储的数据能够保存在所述半导体存储装置内。

11. 按照权利要求 1 所述的方法，其特征在于：在所述半导体存储装置内设置电源模块（70），其功能包括令所述半导体存储装置只选择一个来源供电。

12. 一种支持多种接口的半导体存储装置，其特征在于：包括装有可存储数据的半导体存储介质模块（10），控制器模块（20）和支持至少两个不同标准的接口的接口模块（40），所述至少两个不同标准的接口包



括串行、并行或无线通信接口；所述控制器模块（20）与半导体存储介质模块（10）和接口模块（40）电连接，协调各模块的工作。

13. 按照权利要求 12 所述的装置，其特征在于：所述控制器模块（20）既可以是单独的一个模块，也可以包括两个或两个以上的子控制模块，所述各子控制模块并且分别控制着接口模块（40）的各接口工作，各子模块之间通过相关接口协议协调运作。

14. 按照权利要求 12 所述的装置，其特征在于：所述不同标准接口在物理上位于所述半导体存储装置的不同部位。

15. 按照权利要求 12 所述的装置，其特征在于：所述串行或并行或无线通信接口是 CF(Compact Flash)、USB（通用串行总线）、IEEE 1394、PCMCIA、True IDE、蓝牙（Bluetooth）或无线局域网（Wireless LAN）接口。

16. 按照权利要求 12 所述的装置，其特征在于：所述至少两个不同标准的接口是 CF 接口和 USB 接口，或 CF 接口和 IEEE1394 接口。

17. 按照权利要求 12 至 16 中任一项所述的装置，其特征在于：所述半导体存储介质模块（10）中的半导体存储介质是快闪存储器（Flash Memory）、DRAM、EEPROM、SRAM、SDRAM、FRAM 或者 MRAM。

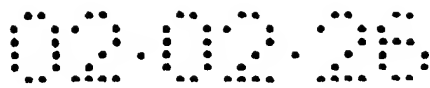
18. 按照权利要求 12 至 16 中任一项所述的装置，其特征在于：所述半导体存储装置的工作电源经由所述串行或并行接口接入，但在使用无线通信接口的情况下，所述半导体存储装置是自带工作电源或由外部引入工作电源。

19. 按照权利要求 12 至 16 中任一项所述的装置，其特征在于：还包括有工作状态指示模块（60），用于指示所述半导体存储装置的工作状态，借助所述工作状态指示模块（60）上的指示器件来实现。

20. 按照权利要求 19 所述的装置，其特征在于：所述指示器件是 LED、LCD、震动器件或发声器件。

21. 按照权利要求 12 至 16 中任一项所述的装置，其特征在于：还包括写保护开关，用于防止数据写入所述存储介质模块（10）中。

22. 按照权利要求 12 至 16 中任一项所述的装置，其特征在于：在所述半导体存储装置内设置电源模块（70），其功能包括令所述半导体存储装置只选择一个来源供电。



## 说明书

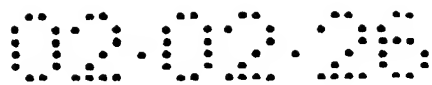
---

### 支持多种接口的半导体存储方法及装置

**技术领域** 本发明涉及数据信息的存储，具体地说涉及一种具有两个或两个以上不同标准接口的存储方法及装置。

**背景技术** 随着半导体存储技术的发展，半导体存储装置以其大容量、高速、轻巧、防震等特点日益受到用户的喜爱。随着电子技术蓬勃发展，人们广泛地使用着各种各样的电子数码设备，这些数码产品如数码相机、掌上电脑、手持电脑、笔记本电脑、桌面电脑、移动电话、数码摄录像机、MP3 音乐播放器等，大多采用半导体存储装置存放数据信息，不同的数码产品之间通常也需要交换数据文件。这些数码产品往往采用各自不同的接口标准，但现有半导体存储装置通常只有一种标准的接口，使其只能在支持该种标准接口的数码产品上使用，但在数码产品之间往往需要交流数据文件，如果要在支持别的标准接口的数码产品上使用该存储装置时，需要借助具有转接功能的适配器或读写器。如此，不仅增加了用户的负担，还给用户带来很多不便。

基于快闪存储器 (Flash Memory) 技术设计的一种存储设备 CF 卡，以其存储容量大、写入速度快、功耗低等卓越性能而日益成为移动存储产品的主流而被广泛使用于便携式电子设备如数码相机、掌上电脑和手持电脑，可随时插拔、可移动、可存储大容量文件或数据；不同电子设备之间也可以通过 CF 卡来交换数据、文件。但是 CF 卡因为只有一种标准的接口，所以使用仍然不是很方便：它在笔记本电脑上使用时，需要借助专用的 CF 卡适配器（如 PCMCIA CF 卡适配器）；在台式电脑上使用时，需借助专用的 CF 卡读写器（如 USB CF 读卡器）。因而用户无法直接将 CF 卡中的文件或数据存储到电脑里或将电脑的文件或数据复制到 CF 卡中。当用户外出使用便携电子设备时，必须携带专门的适配器或读写器，增加了额外的负担和开支。如果读卡器



被不小心遗失或损坏，用户将无法令 CF 卡中的内容上传到主机或从主机下载内容到 CF 卡，使用上有诸多不便。

**发明内容** 本发明的目的在于避免上述现有技术的不足之处而提供一种支持多种接口的半导体存储方法及装置，使其不需额外的设备而直接与各种数据处理系统连接并被读写，和作为各种数据处理系统的存储设备，在各种数据处理系统之间交换数据。

本发明的目的可以通过采用以下技术方案来实现：提出一种支持多种接口的半导体存储方法，包括如下步骤：

- A. 设置半导体存储装置，在其内装用可存储数据的半导体存储介质模块，以及控制所述半导体存储装置的控制器模块和支持至少两个不同标准的串行、并行或无线通信接口的接口模块，在物理上，所述各模块可以单独存在，也可以合并为一个或两个模块；
- B. 通过所述不同标准的接口，连接至少一个具有相应标准接口的数据处理系统；
- C. 建立所述半导体存储装置与所述数据处理系统之间基于串行、并行或无线通信接口的信息交换通道；
- D. 所述半导体存储装置借助所述信息交换通道与所述数据处理系统交换数据，并把所述数据处理系统需要存储的数据存储在所述半导体存储介质模块内；所述数据处理系统可以从所述半导体存储装置内读取所需数据。

本发明的目的还可以通过以下技术方案来进一步实现：制作、使用一种用于数据处理系统的支持多种接口的半导体存储装置，包括装有可存储数据的半导体存储介质模块，控制器模块和支持至少两个不同标准的接口的接口模块，所述至少两个不同标准的接口包括串行、并行或无线通信接口；所述控制器模块与半导体存储介质模块和接口模块电连接，协调各模块的工作。



与现有技术相比较，本发明因具有两个以上不同标准的接口，具有以下优点：为具有不同接口的数据处理系统提供了方便实用的移动存储装置，并使各种数据处理系统之间可以简单便捷地交换数据文件，减少了配置费用。

本发明所述数据处理系统系指带有处理器的电子系统或装置，包括但不限于数码相机、掌上电脑、手持电脑、笔记本电脑、台式电脑、个人计算机、小型计算机、数据处理工作站、移动电话、数码摄录像机、MP3 音乐播放器，还包括各种半导体存储装置。

#### 附图说明

图 1 是本发明方法的通用功能框图；

图 2 是本发明实施例一采用 CF 接口和 USB 接口的功能框图；

图 3 是本发明实施例二采用 CF 接口和 IEEE 1394 接口的功能框图；

图 4 是本发明实施例三采用 CF、USB 和 IEEE 1394 三种接口的功能框图；

图 5 是本发明采用 CF 接口和 USB 接口的内部工作流程图；

图 6 是本发明各实施例的外形示意图；图 6-1 是所述半导体存储装置带有 CF 接口和 USB 接口的外形示意图；图 6-2 是所述半导体存储装置带有 CF 接口和 IEEE1394 接口的外形示意图；图 6-3 和图 6-4 是所述半导体存储装置带有 CF 接口、USB 接口和 IEEE1394 接口的外形示意图；

图 7 是实施例一中 USB 总线接口控制与存储控制模块 22 的电路原理图；

图 8 是实施例一中 USB 接口的电路原理图；

图 9 是实施例一中闪存模块 11 的电路原理图；

图 10 是实施例一中写保护开关及工作状态指示模块 61 中 LED 指示电路的原理图；

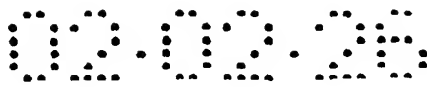


图 11 是实施例一中 CF 卡接口控制与存储控制模块 21 的电路原理图；

图 12 是实施例一中 CF 接口的电路原理图；

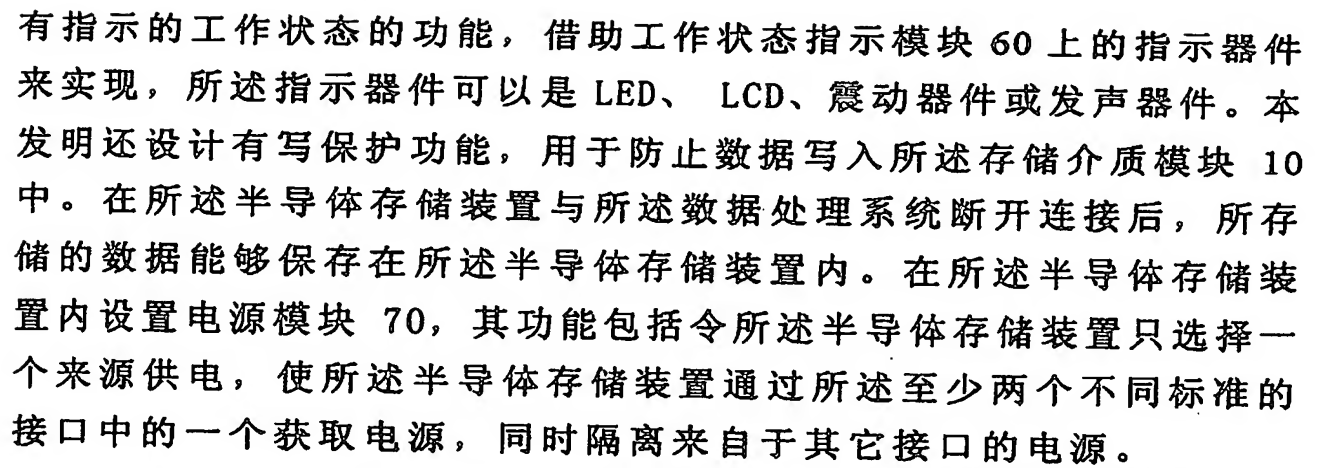
图 13 是实施例一中电源模块 71 的电路原理图。

**具体实施方式** 下面结合附图对本发明作进一步详细说明：

如图 1 所示，一种支持多种接口的半导体存储方法，包括如下步骤：

- A. 设置半导体存储装置，在其内装用可存储数据的半导体存储介质模块 10，以及控制所述半导体存储装置的控制器模块 20 和支持至少两个不同标准的串行、并行或无线通信接口的接口模块 40；在物理上，所述各模块可以单独存在，也可以合并为一个或两个模块；
- B. 通过所述不同标准的接口，连接至少一个具有相应标准接口的数据处理系统；
- C. 建立所述半导体存储装置与所述数据处理系统之间基于串行、并行或无线通信接口的信息交换通道；
- D. 所述半导体存储装置借助所述信息交换通道与所述数据处理系统交换数据，并把所述数据处理系统需要存储的数据存储在所述半导体存储介质模块 10 内；所述数据处理系统可以从所述半导体存储装置内读取所需数据。

所述不同标准接口在物理上位于所述半导体存储装置的不同部位。所述串行或并行或无线通信接口是 CF (Compact Flash)、USB (通用串行总线)、IEEE 1394、PCMCIA、True IDE、蓝牙 (Bluetooth) 接口或无线局域网接口。所述半导体存储介质模块，使用的半导体存储介质是快闪存储器 (Flash Memory)、DRAM、EEPROM、SRAM、SDRAM、FRAM 或者 MRAM。所述半导体存储装置的工作电源经由所述串行或并行接口接入，但在使用无线通信接口的情况下，所述半导体存储装置是自带工作电源或由外部引入工作电源，其上设计

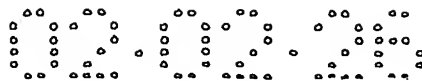


一种用于数据处理系统的支持多种接口的半导体存储装置，如图1所示，包括装有可存储数据的半导体存储介质模块10，控制器模块20和支持至少两个不同标准的接口的接口模块40，所述至少两个不同标准的接口包括串行、并行或无线通信接口；所述不同标准接口在物理上位于所述半导体存储装置的不同部位；所述控制器模块20与半导体存储介质模块10和接口模块40电连接，协调各模块的工作。

所述控制器模块 20 既可以是单独的一个模块，也可以包括两个或两个以上的子控制模块，所述各子控制模块并且分别控制着接口模块 40 的各接口工作，各子模块之间通过相关接口协议协调运作。

所述串行或并行或无线通信接口是 CF(Compact Flash)、USB(通用串行总线)、IEEE 1394、PCMCIA、True IDE 或蓝牙 (Bluetooth) 接口或者无线局域网接口, 包括 IEEE 802.11a、IEEE 802.11b、IEEE 802.11g。所述半导体存储介质模块 10 中的半导体存储介质是快闪存储器 (Flash Memory)、DRAM、EEPROM、SRAM、SDRAM、FRAM 或者 MRAM。所述半导体存储装置的工作电源经由所述串行或并行接口接入。当采用蓝牙或无线局域网接口时, 所述无线数据通信装置的工作电源从电池或外接电源接入。

本发明装置还包括有工作状态指示模块 60, 用于指示所述半导体存储装置的工作状态, 借助所述工作状态指示模块 60 上的指示器件来实现。所述指示器件可以是 LED、LCD、震动器件或发声器件。为了防止数据写入所述存储介质模块 10 中, 本发明装置包括有写保护开关。本发明装置的工作电源经由所述串行或并行接口接入, 但在使



用无线通信接口的情况下，所述半导体存储装置是自带工作电源或由外部引入工作电源。还包括有电源保护电路，其功能包括令所述半导体存储装置只选择一个来源供电，使所述半导体存储装置通过所述至少两个不同标准的接口中的一个获取电源，同时隔离来自于其它接口的电源。

如图 1 是本发明的通用功能框图, 支持多种接口的半导体存储装置包括: 半导体存储介质模块 10; 控制器模块 20; 状态指示模块 60 及写保护开关; 电源模块 70; 以及支持不同标准的接口 1、接口 2、...、和接口 n。控制器模块 20 分别与半导体存储介质模块 10、状态指示模块 60 及写保护开关、电源模块 70 相联接; 使用状态下支持多种接口的半导体存储装置通过接口 1、接口 2、...、和接口 n 中的至少一个接口分别与具有相应接口的电子装置相连接。这些连接都支持信号和数据的双向流动。

本发明的这种具有多种接口的存储设备支持多种接口的半导体存储装置通过多种不同标准的接口可以接入多种具有相应接口的数据处理系统（如掌上电脑、数码像机、MP3 等）进行数据和信息的传输和存储，作为外部存储装置而直接在盘上读写数据。

这里所述的数据处理系统也称主机或主机系统,包括但不限于各种个人计算机、小型计算机、数据处理工作站、掌上电脑、数码相机、笔记本电脑、台式电脑、移动电话、MP3 以及各种专用数据处理系统和存储装置。其中半导体存储介质模块 10 包括一块或多块半导体存储介质芯片,所述半导体存储介质可以是但不限于快闪存储器(Flash Memory)、EEPROM、FRAM、SRAM、DRAM、SDRAM 或者 MRAM,按现有寻址方式连接,该模块的功能是存储数据。半导体存储介质模块 10 的功能是存储控制器模块 20 从数据处理系统接收到的所需要存储的数据,该模块上所存储的数据也可以被读出。该模块上存储的数据可以是本发明的驱动程序和各种其它类型的数据文件等。

控制器模块 20 完成对半导体存储装置的初始化和控制；通过接口模块 40 接受从外部数据处理系统传来的命令和数据，这些命令包括但不限于设备查询命令、读数据命令、写数据命令、设备状态查询

命令等；解释并执行所接收到的命令；将数据存储到半导体存储介质模块 10 或从半导体存储介质模块 10 中读取数据；将执行结果和半导体存储装置的状态通过接口模块 40 返回给外部数据处理系统；协调各接口模块的工作；控制状态指示模块 60 及写保护开关和电源模块 70 的工作。

接口模块 40 使用现有技术建立半导体存储装置与外部数据处理系统的连接，实现各种接口的标准协议，解释、转换、控制和传输接口 1、接口 2、...、和接口 n 的协议。

图 1 中的接口 1、接口 2、...、和接口 n 指本发明的支持多种接口的半导体存储装置可以带两个以上支持不同标准的接口，各种不同标准的接口可以是并行或串行或无线接口，包括但不限于 USB、IEEE 1394、PCMCIA、CF 以及蓝牙（Bluetooth）和无线局域网接口。这些接口可以是实现了标准的串口协议的电气标准的总线接口、但其物理尺寸结构是非标准的。

状态指示模块 60，与控制器模块 20 相连接。其指示器件用以表示支持多种接口的半导体存储装置的读写状态及连通状态，例如指示灯闪烁可表示数据正在传输或正在读写。本发明可设计各种指示半导体存储装置的工作状态的功能，并借助工作状态指示模块上的指示器件来实现，例如指示器件是 LED、LCD、震动器件或发声器件。

本发明还具有机械或电子写保护开关，其功能可以设置为写数据允许或禁止。该开关可使本发明的半导体存储装置处于写保护状态，可保护存储装置中所存储的数据和文件，防止这些数据 and 文件被误删除、被修改或被病毒感染。该开关可为表面贴单刀双掷机械开关或具有光电感应的光电开关。目前常用微型拨动开关作写保护开关。

电源模块 70 支持本发明的半导体存储装置的工作电源通过标准的接口中的一个获取电源，同时隔离来自于其它接口的电源。支持多种接口的半导体存储装置的工作电源经由各种接口接入，当采用蓝牙和无线局域网接口时，所述无线数据通信装置的工作电源自带工作电源或由外部引入电源。

本发明的实施例一如图 2 所示，所述半导体存储装置支持 CF

接口和 USB 接口, CF 接口兼容 CF-ATA 接口或 PCMCIA 接口或 True IDE 接口: 其半导体存储介质采用快闪存储器, 包括闪存模块 11、CF 卡接口控制与存储控制模块 21 和 USB(通用串行总线)总线接口控制模块与存储控制模块 22、CF 接口、USB 接口、写保护开关及工作状态指示模块 61。所述 CF 接口控制与存储控制模块 21 和 USB(通用串行总线)总线接口控制模块与存储控制模块 22 执行图 1 中控制器模块 20 和接口模块 40 的功能。CF 接口控制与存储控制模块 21 与闪存模块 11 连接, USB(通用串行总线)总线接口控制模块与存储控制模块 22 与写保护开关以及工作状态指示模块 61 相连接, 电源模块 71 分别与 CF 接口控制与存储控制模块 21 和 USB(通用串行总线)总线接口控制模块与存储控制模块 22 连接。使用状态下, CF-ATA 接口或 PCMCIA 接口或 True IDE 接口与具有相应接口的数据处理系统相连; 或者 USB 接口与主机系统相连接, 上述连接都支持信号和数据的双向流动。

本实施例的半导体存储装置通过 CF 接口可以接入多种电子设备(如掌上电脑、数码像机、MP3 等)进行数据和信息的传输和存储; CF 接口兼容 CF-ATA 接口或 PCMCIA 接口或 True IDE 接口; 通过 USB 接口可接入主机, 作为与主机相连的外部存储盘装置而使主机可直接在盘上读写数据, 此时本实施例的半导体存储装置可作为 USB Mass Storage 设备, 支持 USB-IF(USB Implementers Forum)推荐的 USB Mass Storage 协议, 从而使该装置自动被 Windows Me、Windows 2000、Windows XP、Mac OS9.x/OS X, 以及 Linux 2.4.x 操作系统所识别, 即在这些操作系统下无须驱动程序, 用户使用非常方便。如果操作系统(例如 Windows 98)没有自带支持本实施例的半导体存储装置的驱动程序, 需要安装专门为该装置开发的驱动程序。

本实施例中, USB 接口可以为标准的 USB 接口, 例如标准微型 USB 接口(Mini USB, On-The-Go 标准), 也可以是非标准的 USB 接口, 即本实施例的 USB 接口可以电气信号和物理结构和尺寸均符合 USB 标准, 也可以只有电气信号符合 USB 标准但其物理结构和尺寸为非

USB 标准。闪存模块 11 中的快闪存储器 (Flash Memory) 可以是一块或多块闪存芯片, 按现有寻址方式连接, 该模块可存储本发明的驱动程序和各种其它类型的数据文件。

在本实施例中, 半导体存储装置通过 Mini-USB 接口转 USB 接口的连接转换器或连接线与电脑主机通过 USB 接口相连。

USB 总线接口控制与存储控制子模块 22 完成与主机系统的连接, 并解释、转换、控制和传输 USB 接口协议; 完成对 USB 接口的初始化和控制、接受从主机发送来的命令和数据、解释并执行主机发送来的命令、通过 CF 接口与存储控制模块 21 将数据存储到闪存模块 11 或从该模块中读取数据、将执行结果通过 USB 接口返回给主机。

CF 接口控制与存储控制子模块 21 也可以完成与其它外部电子设备的连接, 并解释、转换、控制和传输 CF 接口协议; 完成对 CF 接口的初始化和控制、接受从外部电子设备传来的命令和数据、解释并执行命令、将数据存储到所述闪存模块 11 或从该模块中读取数据、将执行结果返回给数据处理系统, 接收 USB 总线接口控制与存储控制子模块 22 的控制命令和数据, 并将所需存储的数据存储到闪存模块 11 或从该模块中读取数据、将执行结果返回给 USB 总线接口控制与存储控制子模块 22。

所述 CF 接口控制与存储控制模块 21 和 USB 总线控制与存储控制子模块 22 可以使用单个芯片, 也可以使用多个芯片。

本发明的实施例二如图 3 所示, 所述半导体存储装置支持 CF 接口和 IEEE1394 接口, 包括: 闪存模块 11、CF 接口控制与存储控制模块 21 和 IEEE1394 总线接口控制与存储控制模块 23、CF 接口、IEEE1394 接口、写保护开关及状态指示模块 61。CF 接口控制与存储控制模块 21 和 IEEE1394 总线接口控制与存储控制模块 23 执行图 1 中控制器模块 20 和接口模块 40 的功能。CF 接口控制与存储控制模块 21 与闪存模块 11 连接, IEEE1394 总线接口控制与存储控制模块 23 与写保护开



关以及工作状态指示模块 61 相连接。使用状态下，CF-ATA 接口或 PCMCIA 接口或 True IDE 接口与具有相应接口的数据处理系统相连；或者 IEEE1394 接口与主机系统相连接，上述连接都支持信号和数据的双向流动。

本实施例中，闪存模块 11 包括一块或多块闪存芯片，按现有寻址方式连接，该模块可存储本发明的驱动程序和其它类型的数据文件。IEEE1394 接口可以为标准的 IEEE1394 接口，也可以是非标准的 IEEE1394 接口。即本实施例的 IEEE1394 接口 52 可以是电气信号和物理结构和尺寸均符合 IEEE1394 标准；或只有其电气信号符合 IEEE1394 标准，但其物理结构和尺寸为非 IEEE1394 标准。

IEEE1394 总线接口控制与存储控制模块 23 完成与主机系统的连接，并解释、转换、控制和传输 IEEE1394 总线接口协议；完成对 IEEE1394 接口的初始化和控制、接受从主机发送来的命令和数据、解释并执行主机发送来的命令、通过 CF 接口与存储控制模块 21 将数据存储到闪存模块 11 或从该模块 11 中读取数据、将执行结果通过 IEEE1394 接口返回给主机。

CF 接口控制与存储控制模块 21 完成与数据处理系统的连接，并解释、转换、控制和传输 CF-ATA 接口或 PCMCIA 接口或 True IDE 接口接口协议；完成对 CF-ATA 接口或 PCMCIA 接口或 True IDE 接口的初始化和控制、接受从数据处理系统传来的命令和数据、解释并执行命令、将数据存储到闪存模块 11 或从该模块 11 中读取数据、将执行结果返回给数据处理系统。接收 IEEE1394 总线接口控制与存储控制模块 23 的控制命令和数据，并将所需存储的数据存储到闪存模块 11 或从该模块中读取数据、将执行结果返回给 IEEE1394 总线接口控制与存储控制模块 23。

本实施例的 IEEE1394 接口可以是电气信号和物理结构和尺寸均



符合 IEEE1394 标准，或只有其电气信号符合 IEEE1394 标准，但其物理结构和尺寸为非 IEEE1394 标准。CF 卡接口控制与存储控制模块 21 和 IEEE1394 总线接口控制与存储控制模块 23 可以使用单个芯片，也可以使用多个芯片。

本发明的实施例三如图 4 所示，本发明装置同时具有 CF 接口、USB 接口和 IEEE1394 接口，包括闪存模块 11、CF 接口控制与存储控制模块 21、USB 和 IEEE1394 总线接口控制与存储控制模块 24、CF-ATA 接口或 PCMCIA 接口或 True IDE 接口、USB 接口、IEEE1394 接口、写保护开关及状态指示模块 61。CF 接口控制与存储控制模块 21、USB 和 IEEE1394 总线接口控制与存储控制模块 24 执行如图 1 中控制器模块 20 和接口模块 40 的功能。CF 接口控制与存储控制模块 21 分别与闪存模块 11、USB 和 IEEE1394 总线接口控制与存储控制模块 24 相连接；USB、IEEE1394 总线接口控制子模块 24 与写保护开关及状态指示模块 61 相连接；在使用状态下，本发明装置通过 CF-ATA 接口或 PCMCIA 接口或 True IDE 接口与具有相应接口的数据处理系统相连；或者通过 USB 接口和 IEEE1394 与主机系统相连接。上述连接都支持信号和数据的双向流动。

本实施例中，闪存模块 11 包括一块或多块闪存芯片，按现有寻址方式连接，该模块可存储本发明的驱动程序和其它类型的数据文件。USB 接口和 IEEE1394 接口可以为标准的接口，例如标准微型 USB 接口和标准微型 IEEE1394 接口，也可以是非标准的 USB 接口和 IEEE1394 接口。即本实施例的 IEEE1394 接口可以是电气信号和物理结构和尺寸均符合 IEEE1394 标准，或只有其电气信号符合 IEEE1394 标准，但其物理结构和尺寸为非 IEEE1394 标准；USB 接口可以是电气信号和物理结构和尺寸均符合 USB 标准，或只有其电气信号符合 USB 标准，但其物理结构和尺寸为非 USB 标准。

USB 和 IEEE1394 总线接口控制与存储控制模块 24 完成与主机系



统的连接，并解释、转换、控制和传输通用接口协议；完成对 USB 接口或 IEEE1394 接口的初始化和控制、接受从主机发送来的命令和数据、解释并执行主机发送来的命令、通过 CF 接口控制与存储控制模块 21 将数据存储到闪存模块 11 或从该模块 11 中读取数据、将执行结果通过 USB 接口或 IEEE1394 接口返回给主机。

CF 接口控制与存储控制模块 21 可以完成与数据处理系统的连接，并解释、转换、控制和传输 CF-ATA 接口或 PCMCIA 接口或 True IDE 接口的接口协议；完成对 CF-ATA 接口或 PCMCIA 接口或 True IDE 接口的初始化和控制、接受从数据处理系统传来的命令和数据、解释并执行命令、将数据存储到闪存模块 11 或从该模块 11 中读取数据、将执行结果返回给数据处理系统。接收 USB 和 IEEE1394 总线接口控制与存储控制模块 24 的控制命令和数据，并将所需存储的数据存储到闪存模块 11 或从该模块中读取数据、将执行结果返回给 USB 和 IEEE1394 总线接口控制与存储控制模块 24。

本发明实施例一的内部工作流程，如图 5 所示，其内部工作流程包括如下步骤：

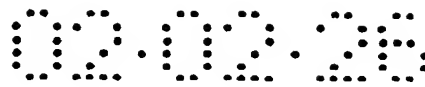
第一步：判断接入设备在 CF-ATA 接口或 PCMCIA 接口或 True IDE 接口还是在 USB 接口；

第二步：如果 CF-ATA 接口或 PCMCIA 接口或 True IDE 接口有接入设备，则其内部操作如同标准 CF 卡；

第三步：如果 USB 接口有接入设备，从 USB 接口获取供电；初始化 USB 接口，初始化 USB 总线接口控制与存储控制子模块；检测快闪存储子模块从中读取本发明存储装置的专用信息；

第四步：判断是否是读数据请求，如果是读数据操作请求，则将逻辑地址换算成闪存芯片的序列号和该闪存芯片上的物理地址及根据坏块记录信息跳过闪存中的坏快等相应处理，并从中读取数据、返回该数据，回到第二步；否则判断是否是写数据操作请求；

第五步：如果是写数据操作请求，则将逻辑地址换算成闪存芯片



的序列号和在该闪存芯片上的物理地址及根据坏块记录信息跳过闪存中的坏快等相应处理，并将数据写入闪存，回到第二步，否则判断是否是读容量请求；

第六步：如果是读容量操作请求，则返回设备存储容量，回到第二步，否则判断是否是其它操作请求；

第七步：如果是其它可实现的操作请求，则进行相应的处理，并返回处理结果和状态信息，回到第二步，否则直接回到第二步。

一旦主机关电，或将设备从主机系统拔掉，设备将停止工作，但已存入的信息将保留。

本发明各实施例的外形如图 6 所示，图 6-1、6-2、6-3 及 6-4 四幅图中都具有 CF-ATA 接口或 PCMCIA 接口或 True IDE 接口、指示灯和开关；这些接口、指示灯和开关分布于微型闪存存储卡的四个端面上，这种分布可以具有不同的组合，这种组合不限于图 6 中所表达的四种。

图 7 是如图 2 所示实施例一中 USB 总线接口控制与存储控制模块 22 的电路原理图，采用 48 脚 NT2004AGS 芯片 U4，芯片 U4 的第 1 脚接入电源 VCC；U4 的第 2-5、7-10、40-48 脚根据如图所示的 PD 序列号分别连接 CF 接口控制与存储控制模块 21 中的芯片 U3 和 CF-ATA 接口或 PCMCIA 接口或 True IDE 接口中 CFCARD1 的 PD 序列号相同的引脚；芯片 U4 的第 6、15、24 和 33 脚直接接地；该芯片的第 11、12、13 脚分别连接 CF-ATA 接口或 PCMCIA 接口或 True IDE 接口中 CFCARD1 芯片的第 34、35 和 37 脚；芯片 U4 的第 14 脚接入电源 VCC 并通过 0.1 微法电容 C8 接地；该芯片的第 16 和 17 脚之间接 12MHz 晶振 Y1，该芯片的第 18 脚通过 100K 电阻接入电源 VCC；28 脚接三极管 N1 的集电极，N1 的型号为 MMBT3904，N1 的射极接地，基极通过 47K 电阻 R14 接入电源 VCCF；26、30、31、32 脚根据 GPIO 序列号连接 93C46 存储芯片 U6，用作存入专用信息。

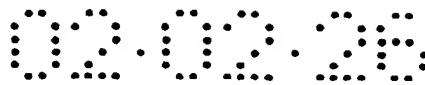


图 8 是如图 2 所示实施例一中 USB 接口的电路原理图，接口芯片 J1 通过 1 脚引入总线电源 VCC，2、3 脚为数据线接入芯片 U4 的 21、22 引脚，4、5、6 脚接地。

图 9 是如图 2 所示实施例一中闪存模块 11 的电路原理图，闪存芯片 U1、U2 采用 TC58256FT，其 I/O 引脚根据 HD 序列号接 CF 接口控制与存储控制模块 21 中的芯片 U3 中 HD 序列号相同的引脚，其余引脚也根据标号与 CF 接口控制与存储控制模块 21 的芯片 U3 相应引脚相连接。

图 10 是如图 2 所示实施例一中写保护开关及状态指示模块 61 的电路原理图，原理图中未包括写保护功能。指示器件采用发光二极管 LED1 接芯片 U4 的 31 脚，经过 470 欧姆电阻 R18 接地。

图 11 是如图 2 所示实施例一中 CF 接口控制与存储控制模块 21 的电路原理图；其芯片 U3 采用 NT2009ACF，该芯片 U3 根据 PD 序列号接 USB 总线接口控制与存储控制模块 22 中芯片 U4 的第 2-5、7-10、40-48 脚；该芯片根据 HD 序列号接闪存模块 11 中的闪存芯片 U1、U2 的相应引脚。

图 12 是如图 2 所示实施例一中 CF-ATA 接口或 PCMCIA 接口或 True IDE 接口的电路原理图，采用接口芯片 CFCARD1，该接口芯片 CFCARD1 根据 PD 序列号接 USB 总线接口控制与存储控制模块 22 的芯片 U4 和 CF 接口控制与存储控制模块 21 的芯片 U3。

CF 接口兼容 CF-ATA 接口、PCMCIA 接口和 True IDE 接口。

图 13 是如图 2 所示实施例中电源模块 71 的电路原理图，MMBT3906 芯片 P1 的发射极接入 CF-ATA 接口或 PCMCIA 接口或 True IDE 接口从主机端引入的电源 VCCF，集电极接入 USB 接口引入的电源 VCC，基极经 1K 电阻 R20、R21 后接地，在电阻 R20、R21 之间提供电源 VUSB。

## 说明书附图

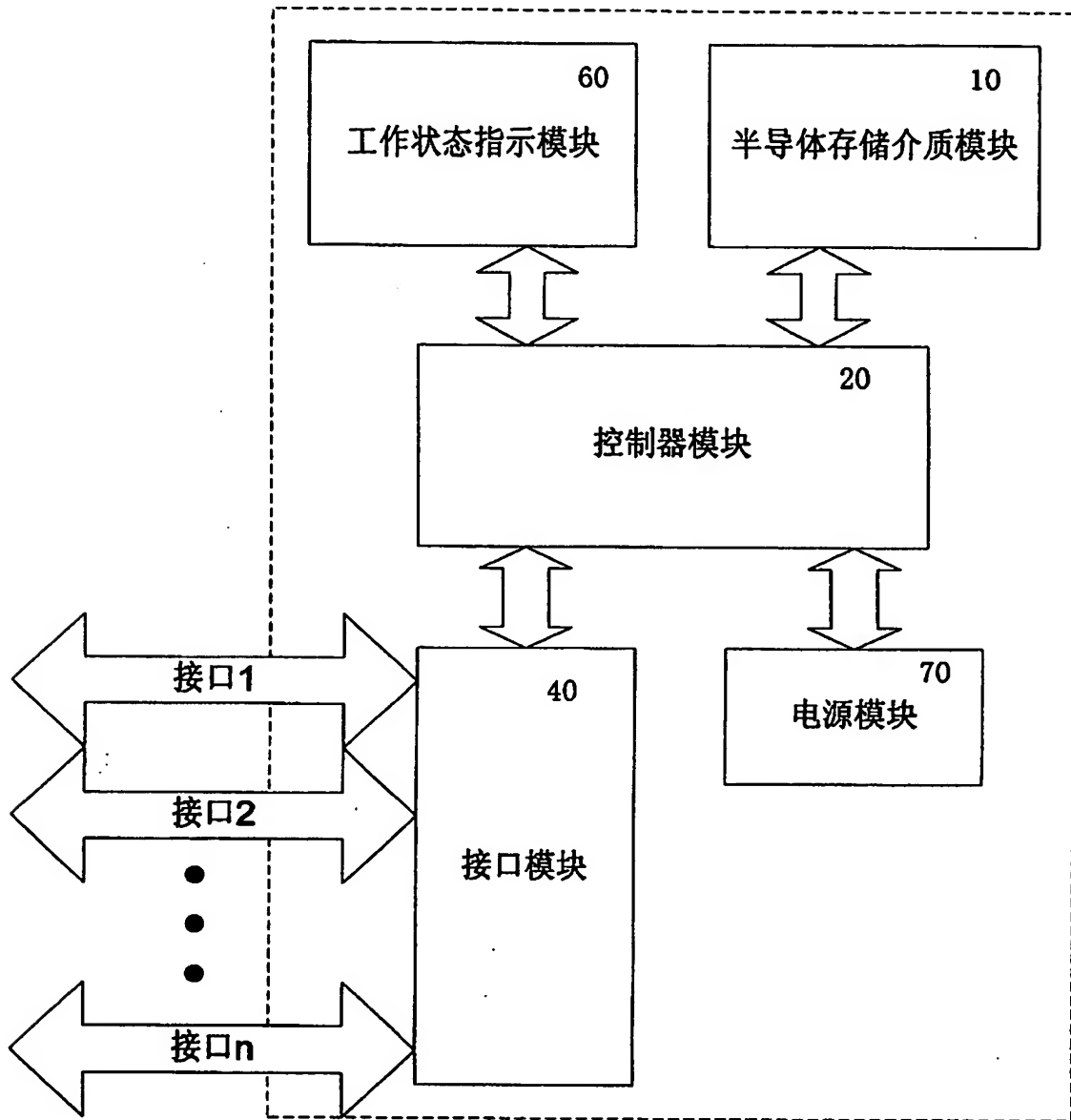


图 1

说明书附图

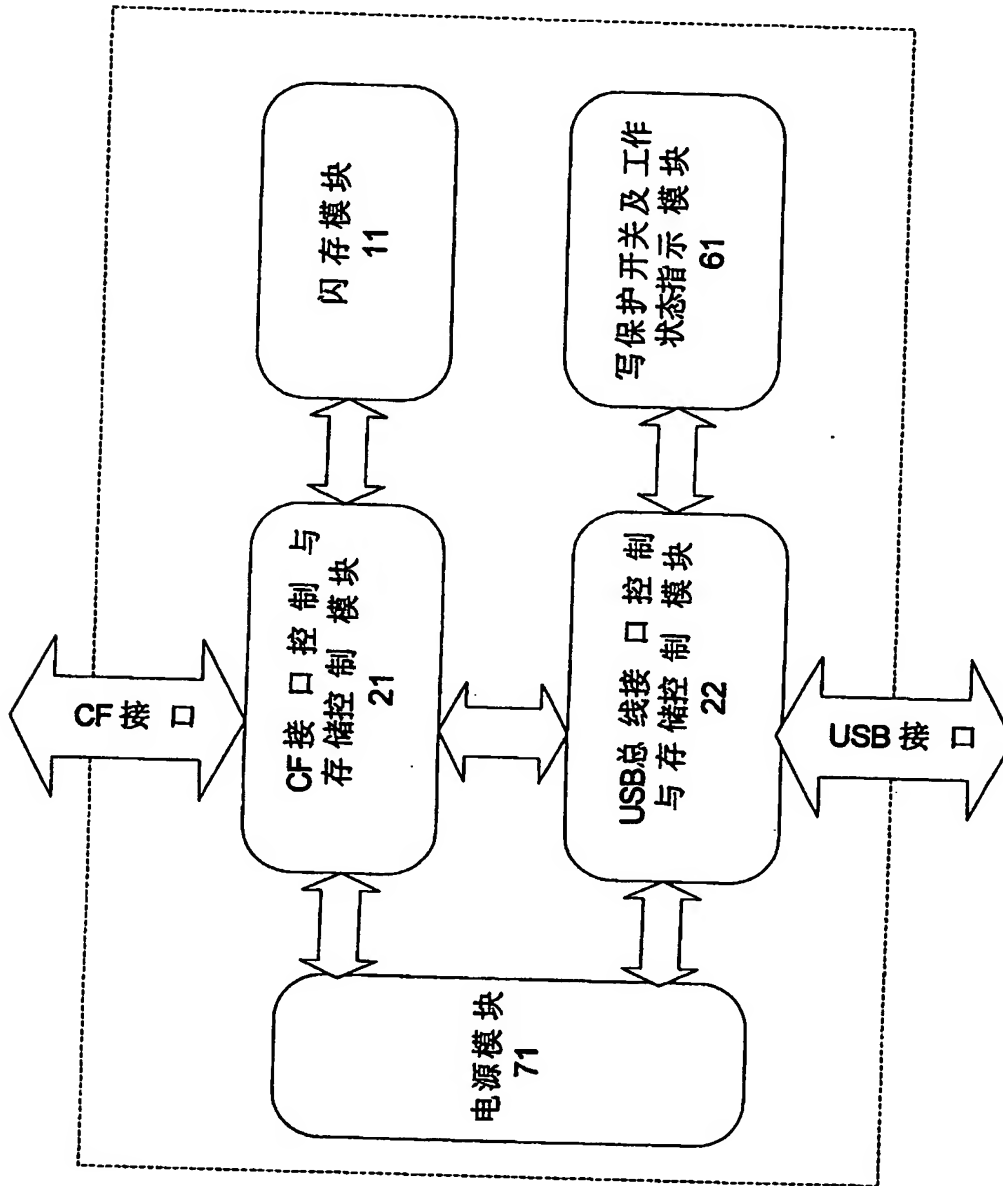


图 2

说明书附图

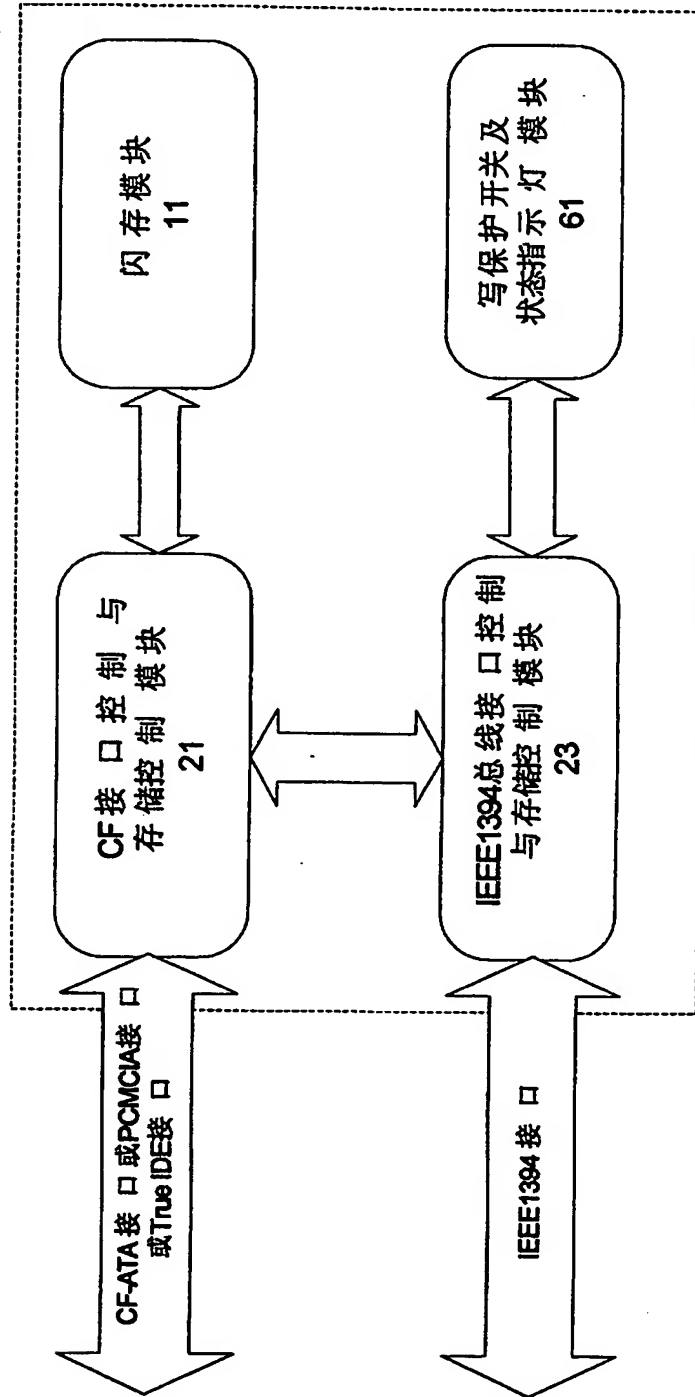


图 3

说明书附图

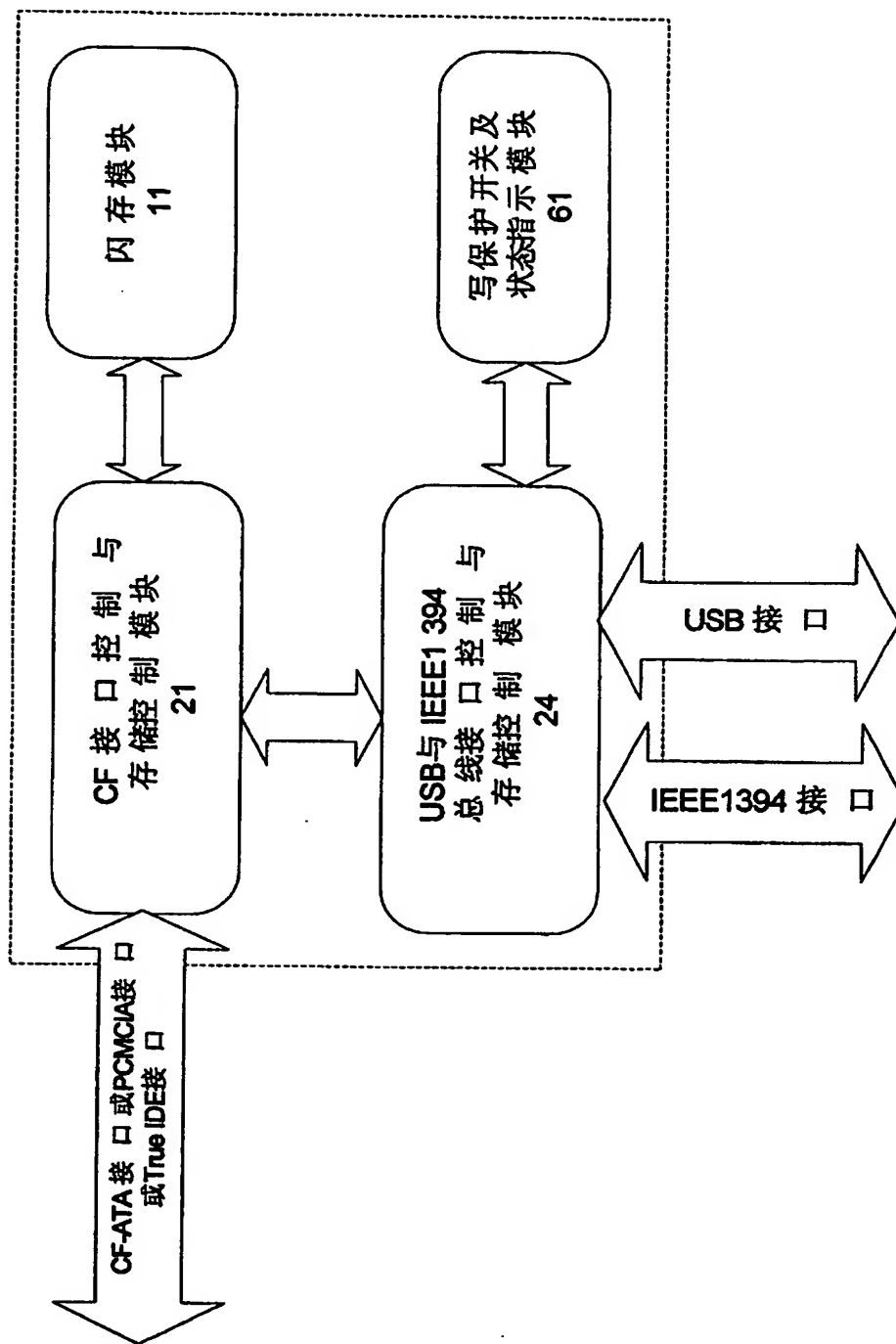


图 4



## 说明书附图

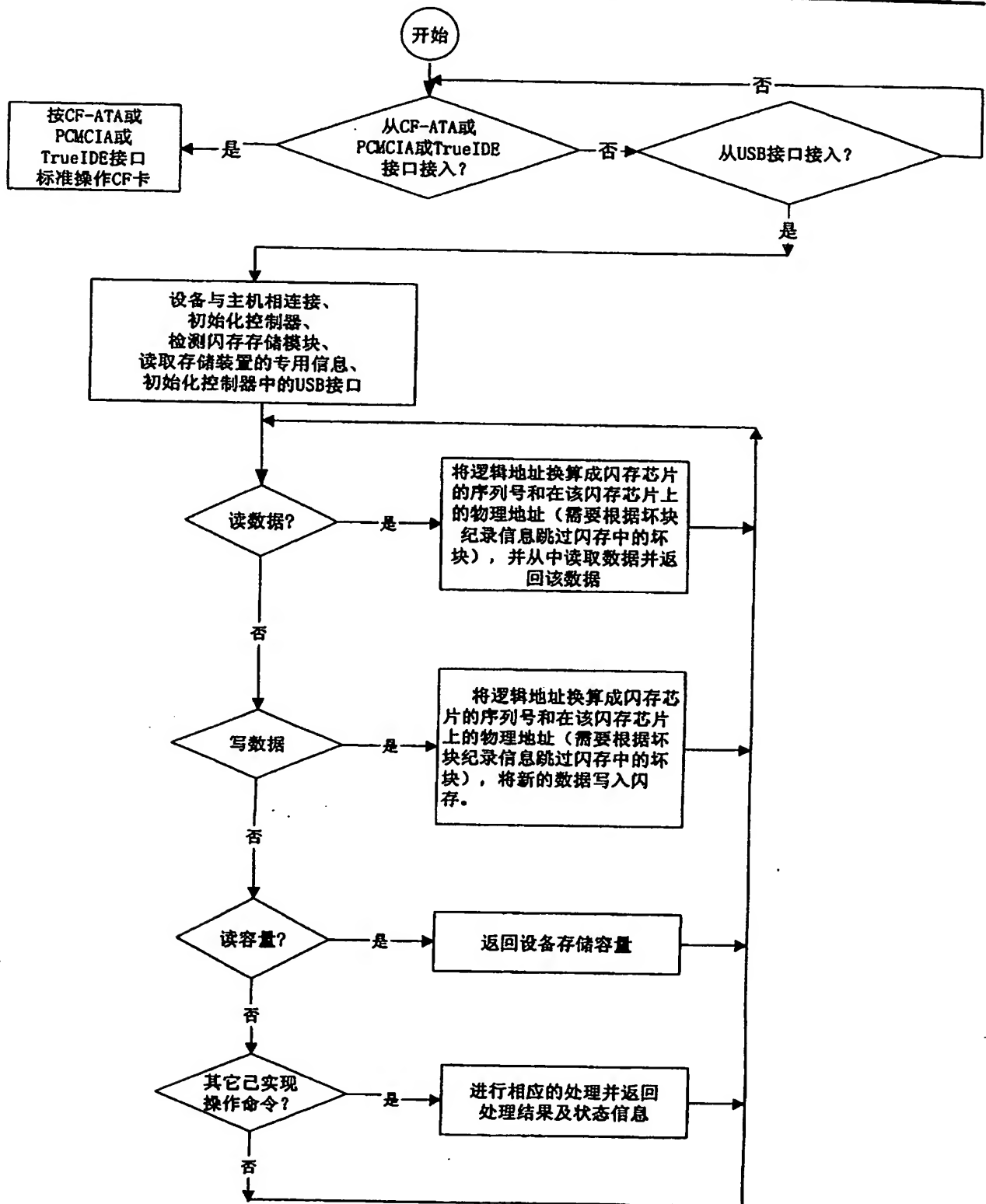
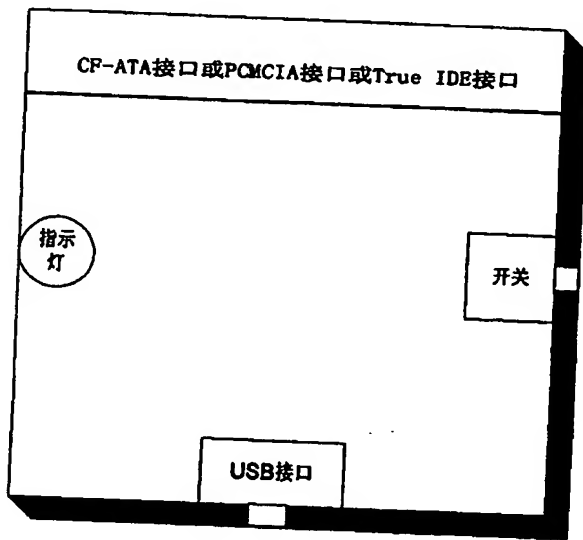
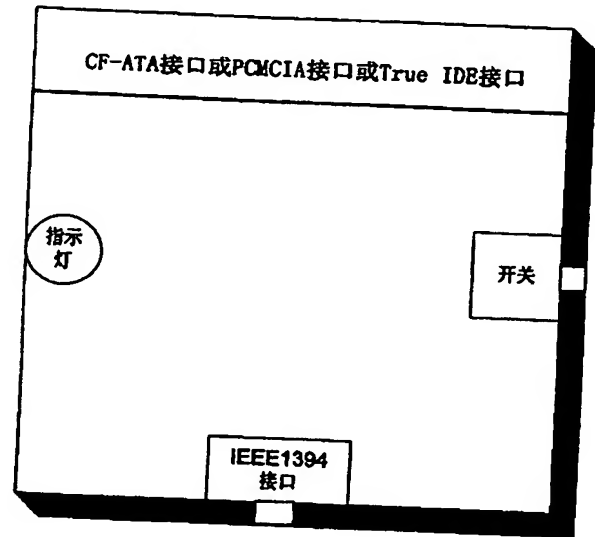


图5

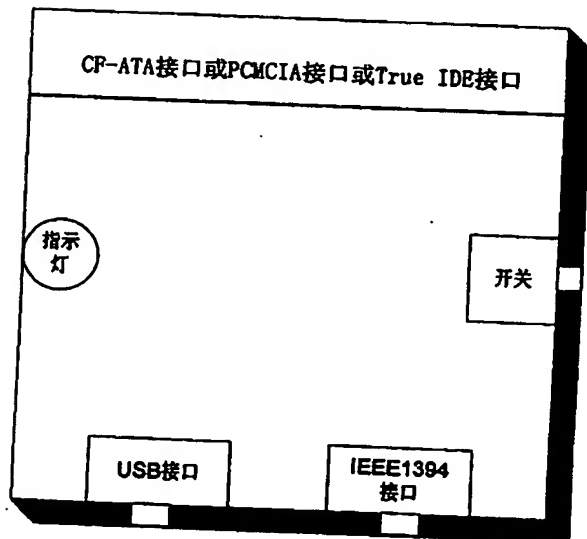
## 说明书附图



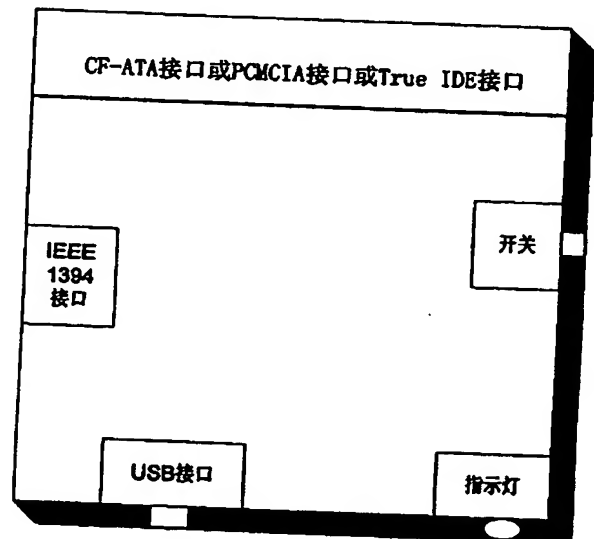
6-1



6-2



6-3



6-4

图6



图 7

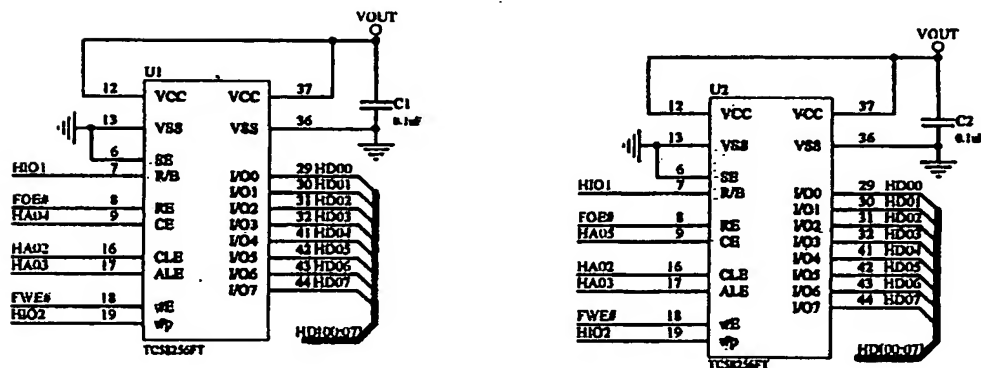


图 9

## 说明书附图

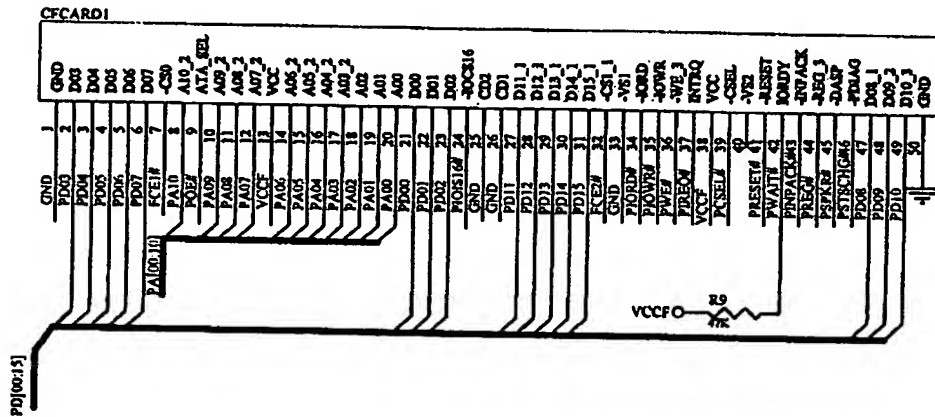


图 12

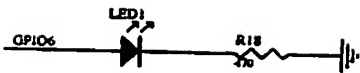


图 10

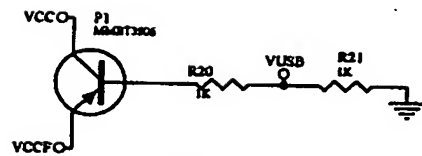


图 13

000000

# 说明书附图

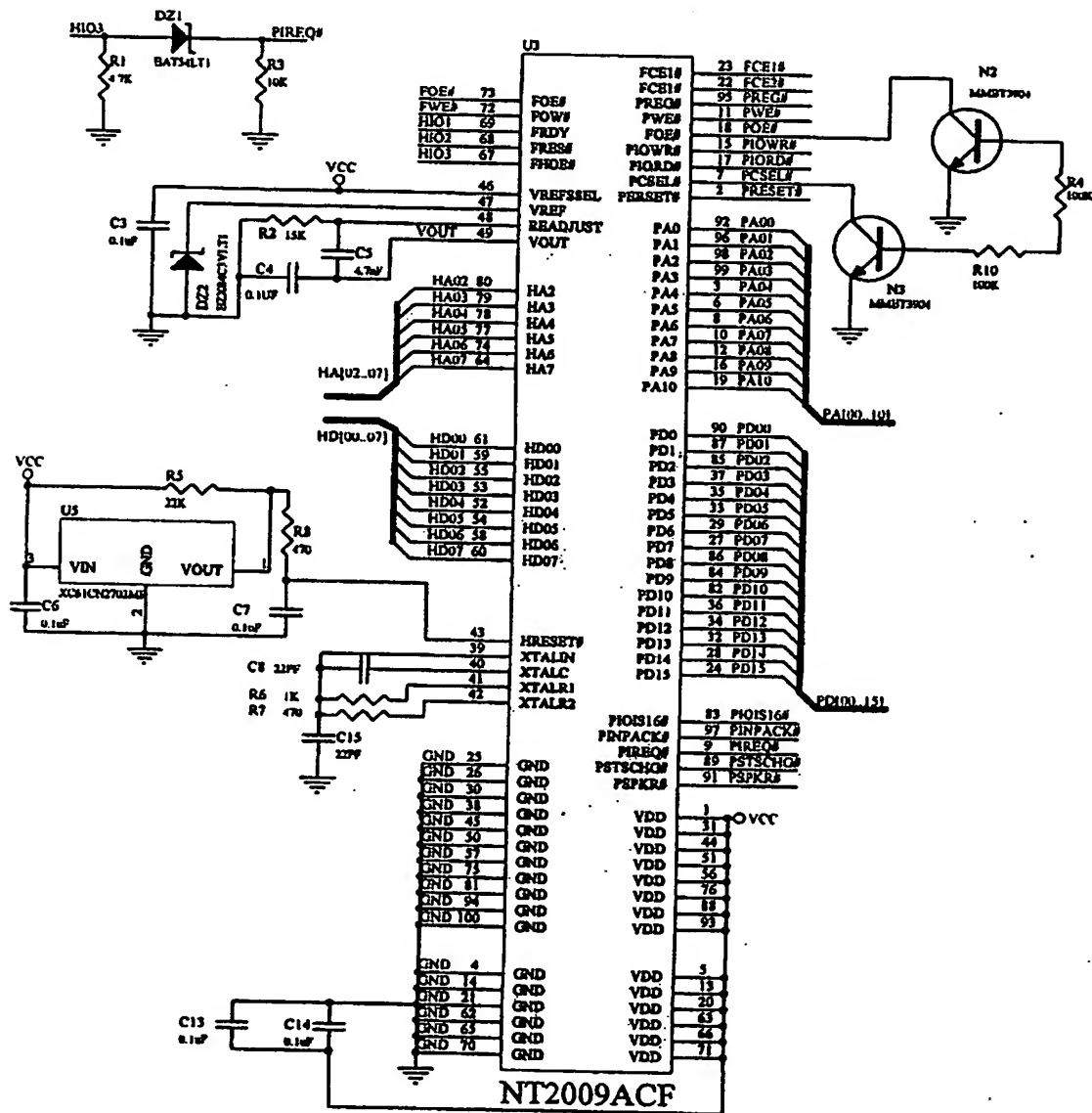


图 11

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**